

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340369

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 21/60

(21)Application number : 11-075282

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.03.1999

(72)Inventor : HASHIMOTO NOBUAKI

(30)Priority

Priority number : 10 94007

Priority date : 23.03.1998

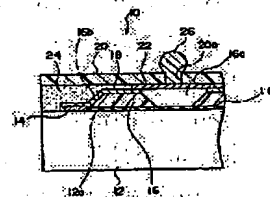
Priority country : JP

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURE, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of effectively absorbing thermal stress, its manufacturing method, a circuit board and an electronic apparatus.

SOLUTION: This semiconductor device is provided with a semiconductor element 12 having electrodes 14, a passivation film 11 which is formed on the surface of the semiconductor element 12 excluding at least a part of the respective electrodes 14, a conducting foil 22 which is arranged above the surface on which the passivation film 11 is formed with a specified interval in the thickness direction, an external electrode 26 formed on the conducting foil 22, an intermediate layer 16 which is formed between the passivation film 11 and the conducting foil 22 and retains the conducting foil 22, and a wiring 18 electrically connecting the electrodes 14 and the conducting foil 22. In the intermediate layer 16, a recessed part 16a where an aperture region becomes wider as it approaches the conducting foil 22 side from the passivation film 11 side is formed below a region containing a bonding part to the external electrode 26 in the conducting foil 22.



## LEGAL STATUS

[Date of request for examination] 08.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] [ above the field in which the semiconductor device which has an electrode, the passivation film which avoids a part of each electrode / at least /, and is prepared on the front face of said semiconductor device, and said passivation film were formed ] The electric conduction foil which opens predetermined spacing in the thickness direction and is formed in it, and the external electrode formed on said electric conduction foil, It has wiring which connects electrically the interlayer who supports said electric conduction foil while being formed between said passivation film and said electric conduction foils, and said electrode and said electric conduction foil. To said interlayer The semiconductor device with which the crevice of the field containing a joint with said external electrode in said electric conduction foil where an opening field becomes large caudad as said electric conduction foil side is approached from said passivation film side is formed.

[Claim 2] The semiconductor device with which it fills up with resin with Young's modulus lower than said interlayer in said crevice in the semiconductor device according to claim 1.

[Claim 3] It is the semiconductor device to which it is located in the base of said interlayer's crevice while said wiring is formed in a semiconductor device according to claim 2 on the field in which said passivation film was formed, and an electric conduction filler is added and said resin connects said wiring and said electric conduction foil electrically.

[Claim 4] It is the semiconductor device to which said interlayer has an inclined plane between said electrodes and said electric conduction foils in a semiconductor device according to claim 1 or 2, and said wiring connects said electrode and said electric conduction foil electrically through said inclined plane.

[Claim 5] It is the semiconductor device formed from the ingredient with which said interlayer has flexibility in a semiconductor device given in either of claim 1 to claims 4.

[Claim 6] It is the semiconductor device which said electric conduction foil is a location inside the opening field of said crevice in a semiconductor device given in either of claim 1 to claims 5, and has a hole in the location which avoids a connection with said external electrode.

[Claim 7] It is the semiconductor device with which the substrate with which said electric conduction foil was formed in the semiconductor device of a publication turns to said interlayer the field in which said electric conduction foil was formed, and is formed in either of claim 1 to claims 6, said substrate has a through hole above said crevice, and said external electrode is formed in said electric conduction foil through said through hole.

[Claim 8] It is the semiconductor device to which it has a through hole to the field the substrate formed from the ingredient which has flexibility is formed between said interlayers and said electric conduction foils in a semiconductor device given in either of claim 1 to claims 6, and excluding [ said substrate ] the upper part of said crevice, and said wiring and said electric conduction foil are electrically connected through said through hole.

[Claim 9] It is the semiconductor device currently formed in [ said electric conduction foil and said wiring ] one in the semiconductor device given in either of claim 1 to claims 8.

[Claim 10] It is the semiconductor device said electric conduction foil and said wiring are another object

in a semiconductor device given in either of claim 1 to claims 8. [ whose ]

[Claim 11] The process which prepares the semiconductor device by which it has an electrode, a part of each electrode [ at least ] was avoided, and the passivation film was prepared on the front face, Open predetermined spacing in the thickness direction and an electric conduction foil is formed above the field in which said passivation film was formed. The process which forms the interlayer who supports said electric conduction foil between said passivation film and said electric conduction foils, and forms the crevice which becomes depressed in the location which avoids said electrode to said interlayer, The manufacture approach of a semiconductor device including the process which forms wiring which connects said electrode and said electric conduction foil electrically, and the process which forms an external electrode in the upper part location of said crevice in said electric conduction foil.

[Claim 12] In the manufacture approach of a semiconductor device according to claim 11, it has a through hole. Prepare the substrate with which said electric conduction foils including said through hole top were stuck, and said interlayer is formed on the field in which said passivation film was formed. The manufacture approach of the semiconductor device which form said crevice in said interlayer, and locate said through hole above said crevice after that, and said electric conduction foil is made to counter said crevice, puts said substrate on said interlayer, and forms said external electrode in said electric conduction foil through said through hole.

[Claim 13] The substrate which is formed in the manufacture approach of a semiconductor device according to claim 11 from the ingredient which has flexibility, and has a through hole is prepared. Form said interlayer on the field in which said passivation film was formed, and said crevice is formed in said interlayer. And the manufacture approach of the semiconductor device which forms said wiring in said interlayer, said through hole is located on said wiring, puts said substrate on said interlayer, forms said electric conduction foil in said substrate, and connects said wiring and said electric conduction foil electrically through said through hole.

[Claim 14] The manufacture approach of the semiconductor device which forms said interlayer in the manufacture approach of a semiconductor device according to claim 11 on the field in which said passivation film was formed, forms said electric conduction foil in said interlayer, forms a hole in said electric conduction foil, etches said interlayer through said hole and forms said crevice.

[Claim 15] It is the manufacture approach of the semiconductor device formed with the ingredient which can be etched under the conditions in the manufacture approach of a semiconductor device according to claim 14 which said middle class cannot etch [ of said semiconductor device ].

[Claim 16] In the manufacture approach of a semiconductor device according to claim 11, said passivation film It is what is etched under said middle class's etching conditions. On said passivation membrane The enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions is formed. The manufacture approach of the semiconductor device which forms said interlayer in said enveloping layer, forms said electric conduction foil in said interlayer, forms a hole in said electric conduction foil, etches said interlayer through said hole and forms said crevice.

[Claim 17] In the manufacture approach of a semiconductor device according to claim 11, said passivation film It is what is etched under said middle class's etching conditions. On said passivation membrane The 1st enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions is formed. A hole is formed in said electric conduction foil, while forming said interlayer on said 1st enveloping layer and forming said electric conduction foil and wiring on said interlayer. A solder resist layer is formed on said wiring. On said solder resist layer The manufacture approach of the semiconductor device which etches said middle class until it forms the 2nd enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions and reaches the bottom of said electric conduction foil through the hole of said electric conduction foil.

[Claim 18] The manufacture approach of a semiconductor device including the process which forms said

external electrode in said electric conduction foil, and forms the electrode enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions into said external electrode before the process which etches said middle class into either of claim 14 to claims 17 in the manufacture approach of the semiconductor device a publication.

[Claim 19] The manufacture approach of a semiconductor device including the process which fills either of claim 11 to claims 18 up with resin with Young's modulus lower than said interlayer in the manufacture approach of the semiconductor device a publication in said crevice.

[Claim 20] The circuit board by which the semiconductor device of a publication was mounted in either of claim 1 to claims 10.

[Claim 21] Electronic equipment which has the circuit board according to claim 20.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

[0001]

[Field of the Invention] This invention relates to electronic equipment at a semiconductor device and its manufacture approach, and a circuit board list.

[0002]

[Background of the Invention] If the high density assembly of a semiconductor device is pursued, bare chip mounting is ideal. However, a guarantee of quality and handling are difficult for a bare chip. Then, the semiconductor device with which CSP (Chip Scale/Size Package) was applied is developed. Although there is no definition formal about CSP, generally, package size is the same as IC chip, or is understood as the slightly larger IC package than IC chip. In order to promote high density assembly, development of a CSP technique is important. As a publication which indicates the conventional example about CSP, there is an international public presentation WO.95/No. 08856 official report.

[0003] According to this, a gap is formed between the substrates and semiconductor chips which have an external electrode, and resin is poured into this gap. This resin has resiliency, when it hardens. With the resin which has this resiliency, the stress (heat stress) applied to the external electrode is absorbed. In addition, this stress is produced according to the difference of the coefficient of thermal expansion of a semiconductor device and the circuit board in which this semiconductor device is mounted.

[0004] However, since the resin poured in between the substrates of a semiconductor chip was very thin, absorption of sufficient heat stress was not made.

[0005] This invention solves this trouble and that purpose is in providing with electronic equipment the semiconductor device which can absorb heat stress effectively and its manufacture approach, and a circuit board list.

[0006]

[Means for Solving the Problem] (1) The passivation film which the semiconductor device concerning this invention avoids the semiconductor device which has an electrode, and a part of each electrode [ at

least ], and is prepared on the front face of said semiconductor device, The electric conduction foil which opens predetermined spacing in the thickness direction and is formed in it [ above the field in which said passivation film was formed ], With the interlayer who supports said electric conduction foil while being formed between the external electrode formed on said electric conduction foil, and said passivation film and said electric conduction foil It has wiring which connects said electrode and said electric conduction foil electrically, and caudad, the crevice of the field containing a joint with said external electrode in said electric conduction foil where an opening field becomes large is formed in said interlayer as said electric conduction foil side is approached from said passivation film side.

[0007] The "semiconductor device" concerning this invention may not remain in a semiconductor chip, but may point out the thing of the shape of a wafer which is not a piece of an individual. That is, it is not necessary to limit about whether it is separated and the predetermined circuit which can be used even if it separates from a semiconductor device here in the shape of [ which consists of silicon ] a base substrate serves as a piece of an individual formed [ just ], or it is especially united.

[0008] According to this invention, an external electrode is formed in an electric conduction foil, and the electric conduction foil is supported by the interlayer. A crevice is formed in an interlayer and the external electrode is located above the crevice. Namely, the external electrode will be floated from the interlayer, without being directly supported by the interlayer. Since an external electrode can be moved comparatively freely by this, the stress (heat stress) produced according to the difference of coefficient of thermal expansion with the circuit board is absorbable.

[0009] (2) You may fill up with resin with Young's modulus lower than said interlayer in said crevice.

[0010] Since the space of a crevice can be filled by carrying out like this, by it, the crack by expansion of a steam can be prevented at the time of heating of a reflow process etc.

[0011] (3) While said wiring is formed on the field in which said passivation film was formed, it is located in the base of said interlayer's crevice, and as for said resin, an electric conduction filler may be added, and said wiring and said electric conduction foil may be connected electrically.

[0012] (4) Said interlayer has an inclined plane between said electrodes and said electric conduction foils, and said wiring may connect said electrode and said electric conduction foil electrically through said inclined plane.

[0013] (5) Said interlayer may be formed from the ingredient which has flexibility.

[0014] By carrying out like this, stress can be eased by the interlayer itself.

[0015] (6) Said electric conduction foil is a location inside the opening field of said crevice, and may have a hole in the location which avoids a connection with said external electrode.

[0016] By carrying out like this, it becomes easy to transform an electric conduction foil, and stress can be absorbed with an electric conduction foil.

[0017] (7) In this invention, the substrate with which said electric conduction foil was formed turns to said interlayer the field in which said electric conduction foil was formed, and is formed, as for said substrate, it has a through hole above said crevice, and said external electrode may be formed in said electric conduction foil through said through hole.

[0018] According to this, an electric conduction foil top is covered and protected with a substrate.

[0019] (8) In this invention, the substrate formed between said interlayers and said electric conduction foils from the ingredient which has flexibility is formed, said substrate has a through hole to the field except the upper part of said crevice, and said wiring and said electric conduction foil may be electrically connected through said through hole.

[0020] (9) Said electric conduction foil and said wiring may be formed in one.

[0021] (10) Said electric conduction foil and said wiring may be another object.

[0022] (11) The manufacture approach of the semiconductor device concerning this invention The process which prepares the semiconductor device by which it has an electrode, a part of each electrode [ at least ] was avoided, and the passivation film was prepared on the front face, Open predetermined spacing in the thickness direction and an electric conduction foil is formed above the field in which said

passivation film was formed. The process which forms the interlayer who supports said electric conduction foil between said passivation film and said electric conduction foils, and forms the crevice which becomes depressed in the location which avoids said electrode to said interlayer, The process which forms wiring which connects said electrode and said electric conduction foil electrically, and the process which forms an external electrode in the upper part location of said crevice in said electric conduction foil are included.

[0023] According to the semiconductor device manufactured by this invention, an external electrode is formed in an electric conduction foil, and the electric conduction foil is supported by the interlayer. A crevice is formed in an interlayer and the external electrode is located above the crevice. Namely, the external electrode will be floated from the interlayer, without being directly supported by the interlayer. Since an external electrode can be moved comparatively freely by this, the stress (heat stress) produced according to the difference of coefficient of thermal expansion with the circuit board is absorbable.

[0024] (12) Prepare the substrate with which it has a through hole and said electric conduction foils including said through hole top were stuck in this invention. Form said interlayer on the field in which said passivation film was formed, and said crevice is formed in said interlayer. Then, said through hole may be located above said crevice, and said electric conduction foil may be made to counter said crevice, said substrate may be put on said interlayer, and said external electrode may be formed in said electric conduction foil through said through hole.

[0025] According to this, since the electric conduction foil is stuck on the substrate, the process which forms an electric conduction foil can be performed easily.

[0026] (13) Prepare the substrate which is formed in this invention from the ingredient which has flexibility, and has a through hole. Form said interlayer on the field in which said passivation film was formed, and said crevice is formed in said interlayer. And said wiring is formed in said interlayer, said through hole may be located on said wiring, said substrate may be put on said interlayer, said electric conduction foil may be formed in said substrate, and said wiring and said electric conduction foil may be electrically connected through said through hole.

[0027] According to this, since the electric conduction foil is stuck on the substrate, the process which forms an electric conduction foil can be performed easily.

[0028] (14) Said interlayer is formed on the field in which said passivation film was formed, said electric conduction foil is formed in said interlayer, a hole is formed in said electric conduction foil, said interlayer may be etched through said hole and said crevice may be formed.

[0029] (15) Said middle class may be formed with the ingredient which can be etched under the conditions which cannot etch said semiconductor device.

[0030] By carrying out like this, when etching the middle class, it can prevent that the front face of a semiconductor device is also etched.

[0031] (16) Said passivation film is etched under said middle class's etching conditions, on said passivation membrane, the enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions may be formed, said middle class may be formed in said enveloping layer, said electric conduction foil may be formed in said middle class, a hole may be formed in said electric conduction foil, and may etch said middle class through said hole, and may form said crevice.

[0032] Thus, etching of a passivation membrane can be prevented by forming an enveloping layer in a passivation membrane.

[0033] (17) Said passivation film is what is etched under said middle class's etching conditions. On said passivation membrane, the 1st enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions is formed. A hole is formed in said electric conduction foil, while forming said interlayer on said 1st enveloping layer and forming said electric conduction foil and wiring on said interlayer. A solder resist layer is formed on said wiring, the 2nd

enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions is formed on said solder resist layer, and said middle class may be etched until it reaches the bottom of said electric conduction foil through the hole of said electric conduction foil.

[0034] (18) In front of the process which etches said middle class, you may form said external electrode in said electric conduction foil, and may also include the process which forms the electrode enveloping layer which consists of an ingredient which is hard to be etched under said middle class's etching conditions into said external electrode.

[0035] According to this, after forming an external electrode, the middle class is etched and a crevice is formed. Therefore, since it can etch after removing the residue produced by formation of an external electrode, residue does not remain in a crevice.

[0036] (19) In this invention, you may also include the process which fills up said crevice with resin with Young's modulus lower than said interlayer.

[0037] (20) The above-mentioned semiconductor device is mounted in the circuit board concerning this invention.

[0038] (21) The electronic equipment concerning this invention has the above-mentioned circuit board.

[0039]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing.

[0040] In addition, each drawing expands and shows a part, in order to give explanation intelligible. In the following explanation, since it is explaining supposing one semiconductor device when finally making it the piece of an individual, there is a part which is different in it being actual a little in the vocabulary, the configuration, etc. of using. Although it is indicated as the semiconductor chip and the thing of the piece of an individual (the shape of namely, a chip) is pointed out in the following explanation as the semantics, the "semiconductor device" concerning this invention may not remain in a semiconductor chip, but may point out the thing of the shape of a wafer which is not a piece of an individual. That is, it is not necessary to limit about whether it is separated and the predetermined circuit which can be used even if it separates from a semiconductor device here in the shape of [ which consists of silicon ] a base substrate serves as a piece of an individual formed [ just ], or it is especially united. Moreover, since only the typical part of a part required for explanation of wiring etc. is taken up, the structure of the same thing as other parts or others is omitted in each drawing.

[0041] (The 1st operation gestalt) Drawing 1 is the sectional view showing the semiconductor device concerning the 1st operation gestalt. The semiconductor device 10 shown in this drawing is the thing of the CSP mold as a semiconductor chip 12 with the almost same package size.

[0042] The electrode 14 is formed in active side 12a of a semiconductor chip 12 from aluminum (aluminum). Moreover, a part of each electrode [ at least ] 14 is avoided, and the passivation film 11 is formed in the semiconductor chip 12. It is because it is necessary to draw an electric signal etc. from an electrode 14 as avoiding at least a part here. Therefore, the passivation film 11 needs to avoid an electrode 14 to extent which can draw an electric signal etc. from an electrode 14. The passivation film 11 can be formed with SiO<sub>2</sub>, SiN, polyimide resin, etc. An electrode 14 is avoided and the interlayer 16 is formed in active side 12a. In detail, the interlayer 16 is formed on the passivation film 11. Moreover, crevice 16a is formed in the interlayer 16, and active side 12a is exposed to him within crevice 16a. But if crevice 16a is the configuration where it cratered, it needs to be lacking, and active side 12a does not need to expose it. Moreover, inclined plane 16b which inclines from an electrode 14 is formed in the interlayer 16, it applies on an interlayer 16 through inclined plane 16b from an electrode 14, and wiring 18 is formed. or [ that it is not limited to this but is almost equal to the magnitude of the part of the origin of the external electrode 26 although the open end of crevice 16a shown in drawing 1 is quite larger than the magnitude of the part of the origin of the external electrode 26 ] — or what is necessary is just more than it. Furthermore, opening of crevice 16a may be located, and in this case, this opening allows deformation of an interlayer a part of origin of the external electrode 26, and can demonstrate the

stress relaxation effectiveness to it. Moreover, although crevice 16a may penetrate the middle class 16 and may expose the passivation film 11 under it, it may leave some middle class 16 to the pars basilaris ossis occipitalis of crevice 16a so that the middle class 16 may not be penetrated.

[0043] Here, when an interlayer 16 consists of insulating resin, for example, polyimide resin, and a semiconductor device 10 is mounted in the circuit board (not shown), the stress produced according to the difference of the coefficient of thermal expansion of a semiconductor chip 12 and the circuit board mounted can be eased. In addition, it is not the indispensable requirements for this invention that an interlayer 16 has a stress relaxation function. It is also attained that, as for a stress relaxation function, crevice 16a is formed (it mentions later in detail).

[0044] Moreover, insulating resin has insulation to wiring 18, and can protect active side 12a of a semiconductor chip 12, and it also has the thermal resistance when fusing the pewter at the time of mounting. When it takes into consideration making the stress relaxation function mentioned later add, it is desirable for polyimide resin etc. to be used generally and to use the things (for example, the polyimide resin of an olefin system, BCB by the Dow Chemical Co. as except polyimide resin, etc.) which have Young's modulus low especially, and especially Young's modulus is 2 300kg/mm. It is desirable that it is [ following ] extent. The stress relaxation force becomes large so that it is thick, but when magnitude, a manufacturing cost, etc. of a semiconductor device are taken into consideration, as for an interlayer 16, it is desirable to consider as the thickness of about 1-100 micrometers. However, Young's modulus is 2 300kg/mm. When the polyimide resin which is extent is used, the thickness of about 10 micrometers is sufficient.

[0045] Or as an interlayer 16, for example, silicone denaturation polyimide resin, an epoxy resin, a silicone modified epoxy resin, etc. may be used, and the quality of the material in which Young's modulus can achieve work of stress relaxation low further may be used. Moreover, as the middle class 16, passivation layers (SiN, SiO<sub>2</sub>, MgO, etc.) are formed, and the stress relaxation itself may be performed by crevice 16a being formed so that it may mention later.

[0046] From copper (Cu), chromium (Cr), titanium (Ti), nickel (nickel), and a titanium tungsten (Ti-W), wiring 18 carries out the laminating of the plurality of these, and is formed, and the electric conduction foil 22 is formed on it. The electric conduction foil 22 was beforehand formed in the substrate 20, and is stuck on wiring 18 with a substrate 20 through adhesives 24. In addition, the electric conduction foil 22 is also formed from copper (Cu).

[0047] The electric conduction foil 22 is formed more greatly than the open end of crevice 16a formed in the interlayer 16, and it is arranged so that the upper part of this crevice 16a may be covered. Moreover, some electric conduction foils 22 contact after wiring 18, and it is connected electrically. In addition, as for the electric conduction foil 22 and wiring 18, it is desirable that apply heat and a pressure and joining is carried out. Also with the above mechanical pressure weldings by adhesives 24, the electric connection between the electric conduction foil 22 and wiring 18 is good, it may plate Au, Sn, a pewter, etc. on wiring 18 and the electric conduction foil 22, may carry out low attachment of both, and may connect them by the diffused junction by ultrasonic heat etc. Therefore, it is desirable that the low-temperature wax is prepared at least in one side among the planes of composition of the both sides of the electric conduction foil 22 and wiring 18.

[0048] A substrate 20 is the thing of the shape of a film formed by the resin which has flexibility, and has through hole 20a in the upper location of crevice 16a. In addition, on the inferior surface of tongue of a substrate 20, the electric conduction foil 22 is formed so that through hole 20a may be covered. And the external electrode 26 is formed in the electric conduction foil 22 through through hole 20a. The external electrode 26 may be formed only with a pewter, and may perform and form plating of a pewter or gold in the front face of copper (Cu) or nickel (nickel).

[0049] In addition, the tape carrier package tape or FPC (Flexible Printed Circuit) used with the TAB technique of two-layer (Cu foil + polyimide substrate) or three layers (Cu foil + adhesives + polyimide substrate) may be used as a substrate 20 with electric conduction foil 22.



[0050] This operation gestalt is constituted as mentioned above, and explains the operation below. In the semiconductor device 10, the electric conduction foil 22 with which the external electrode 26 was formed is supported by the interlayer 16. However, crevice 16a is formed in the field which contains in an interlayer 16 directly under the external electrode 26. Space is formed in the bottom of the electric conduction foil 22 of crevice 16a. That is, in near a joint with the external electrode 26, the electric conduction foil 22 will be in the condition of having floated, and will be [ become ] easy to deform. Thus, since it is constituted, if stress is applied to the external electrode 26, the stress is absorbable because the electric conduction foil 22 and a substrate 20 deform. In this way, the stress by the coefficient-of-thermal-expansion difference of the semiconductor device (or semiconductor chip formed from silicon) and the circuit board according [ the mounted circuit board in case a semiconductor device is mounted in the circuit board, or electronic equipment ] to a temperature change, and the mechanical stress generated when bent according to external force are absorbable. Hereafter, stress means this.

[0051] Next, the top view of the semiconductor device applied to this operation gestalt at drawing 2 is shown. In this drawing, from the electrode 14 of a semiconductor chip 12, wiring 18 is formed in the direction of a center of active side 12a, each wiring 18 is connected to the electric conduction foil 22, and the external electrode 26 is formed in the electric conduction foil 22. The field except the external electrode 26 is covered with and protected by the substrate 20.

[0052] Although an electrode 14 is the so-called circumference electrode type located in the periphery of a semiconductor chip 12 of example, the semiconductor chip of the area array arrangement mold with which the electrode was formed in the inside [ boundary region / of a semiconductor chip ] field may be used for it.

[0053] In addition, as shown in this drawing, the external electrode 26 is formed in the active region (field in which the active element is formed) of a semiconductor chip 12 instead of the electrode 14 top of a semiconductor chip 12. An interlayer 16 can be formed in an active region and the external electrode 26 can be formed in an active region by what (it draws) wiring 18 is further arranged for in an active region. That is, pitch conversion can be carried out. Therefore, in case the external electrode 26 is arranged, the field as the inside of an active region, i.e., a fixed field, can be offered, and the degree of freedom of the setting location of the external electrode 26 will increase very much.

[0054] And by making wiring 18 crooked in a required location, the external electrode 26 is formed so that it may stand in a line in the shape of a grid. In addition, since this is not the indispensable configuration of this invention, it is not necessarily necessary to form the external electrode 26 so that it may stand in a line in the shape of a grid.

[0055] Moreover, although the width of face of an electrode 14 and the width of face of wiring 18 serve as the wiring 18 < electrode 14 in the joint of an electrode 14 and wiring 18 at drawing 2, it is desirable to consider as the electrode 14 <= wiring 18 in fact. When becoming the electrode 14 < wiring 18 especially, since about [ that the resistance of wiring 18 becomes small ] and reinforcement increases, an open circuit is prevented.

[0056] In addition, although an interlayer 16 has a stress relaxation function with this operation gestalt, that crevice 16a is formed can only absorb stress. Therefore, it becomes absorbable [ stress ] even if it is the structure in which the layer (for example, a mere insulating layer or a protective layer) which consists of the quality of the material which does not have a stress relaxation function as an interlayer 16 was formed.

[0057] Next, drawing 3 (A) – drawing 3 (E) are drawings explaining the manufacture approach of the semiconductor device concerning this operation gestalt. First, as shown in drawing 3 (A), the semiconductor chip 12 which has the electrode 14 which consists of aluminum (aluminum) is prepared. In addition, an electrode 14 is avoided and the passivation film which is not illustrated is formed in the semiconductor chip 12. What is necessary is just to prepare the wafer marketed, even when performing the process concerning this invention to a wafer-like semiconductor device. And the polyimide resin which is not illustrated is prepared in active side 12a of a semiconductor chip 12 by the approach of a

spin coat etc. Or the polyimide resin beforehand made into the shape of a film may be stuck on active side 12a.

[0058] And through the process of a photolithography, as shown in drawing 3 (B), the interlayer 16 who has crevice 16a is formed. In addition, when forming crevice 16a by the photolithography, it is desirable to choose the ingredient suitable for it as an interlayer's 16 ingredient.

[0059] Then, as shown in drawing 3 (C), the wiring 18 to on an interlayer 16 from an electrode 14 is formed. For example, a 100Å (ten to 10 nm) titanium tungsten (Ti-W) layer is formed by sputtering, a 1-micrometer copper (Cu) layer is formed by sputtering similarly on it, the metal membrane obtained in this way is etched into a predetermined pattern, and wiring 18 is formed.

[0060] And as shown in drawing 3 (D), a substrate 20 is stuck through adhesives 24. While through hole 20a is beforehand formed in the substrate 20, through hole 20a is prepared in the electric conduction foil 22 in the wrap location.

[0061] In addition, it is desirable to plate tin (Sn), gold (Au), or a pewter at least to one side, and to prepare a low-temperature wax in it among the planes of composition of the both sides of the electric conduction foil 22 and wiring 18.

[0062] And a substrate 20 is carried so that the electric conduction foil 22 may contact on wiring 18, and heat and a pressure are applied from on a substrate 20. In this way, a low-temperature wax fuses and the electric conduction foil 22 and wiring 18 are connected electrically. This connection may be made by impressing a supersonic wave etc.

[0063] Next, as shown in drawing 3 (E), the external electrode 26 is formed in the electric conduction foil 22 through through hole 20a of a substrate 20. For example, the external electrode 26 is formed by carrying a pewter ball on the electric conduction foil 22, accumulating pewter plating, or printing a pewter paste, or performing plating of copper (Cu), nickel (nickel), or its both, and performing plating of a pewter or gold (Au) further.

[0064] A semiconductor device 10 can be obtained according to the above process. In addition, when a semiconductor chip 12 is a wafer-like thing, a semiconductor device 10 is obtained by performing dicing and cutting to the piece of an individual. After that, a semiconductor device 10 conducts quality inspection and tray stuffing is carried out.

[0065] In addition, with this operation gestalt, although wiring 18 is formed on inclined plane 16b, it may be formed in the inclined plane by the side of crevice 16a. This is the same also with the following operation gestalten. If it carries out like this, and since the great portion of wiring 18 is protected, its equipment dependability will improve an interlayer 16.

[0066] (The 2nd operation gestalt) Drawing 4 is drawing showing the semiconductor device concerning the 2nd operation gestalt. The semiconductor device 30 shown in this drawing is characterized by filling up with resin 32 crevice 16a of the semiconductor device 10 shown in drawing 1, and the other configuration of it is the same as that of a semiconductor device 10. or [ that it is not limited to this but is almost equal to the magnitude of the part of the origin of the external electrode 26 although the open end of crevice 16a shown in drawing 4 is quite larger than the magnitude of the part of the origin of the external electrode 26 ] — or what is necessary is just more than it Furthermore, opening of crevice 16a may be located, and in this case, this opening allows deformation of an interlayer a part of origin of the external electrode 26, and can demonstrate the stress relaxation effectiveness to it. Moreover, although crevice 16a may penetrate the middle class 16 and may expose the passivation film under it (not shown), it may leave some middle class 16 to the pars basilaris ossis occipitalis of crevice 16a so that the middle class 16 may not be penetrated.

[0067] As resin 32, it is desirable to use a thing lower [ than an interlayer 16 / among the polyimide resin used as a photosensitive resist, silicon gel, or rubber ] Young's modulus and soft. Since the space formed of crevice 16a can be fill uped with carrying out like this, the crack by expansion of air and a steam can be prevented at the time of heating of a reflow process etc.

[0068] Before resin 32 sticks a substrate 20, you may be filled up with it, and after forming the hole in

the substrate 20 and sticking a substrate 20, it may be filled up with it through a hole.

[0069] Moreover, it is applicable also in all the following operation gestalten to fill up a crevice with resin like this operation gestalt.

[0070] (The 3rd operation gestalt) Drawing 5 is drawing showing the semiconductor device concerning the 3rd operation gestalt. The semiconductor device 40 shown in this drawing has a semiconductor chip 12, an electrode 14, an interlayer 16, and wiring 18 like the semiconductor device 10 shown in drawing 1, and crevice 16a is formed in the interlayer 16.

[0071] On the interlayer 16, the substrate 42 is stuck through adhesives 24. A substrate 42 is the film formed from the ingredient with the low Young's modulus of the polyimide resin mentioned as an interlayer's 16 ingredient for example, with the 1st operation gestalt. On a substrate 42, the electric conduction foil 44 patternized in the shape of wiring is formed, and the external electrode 46 is formed on the electric conduction foil 44. Through hole 42a is formed on the part located on an interlayer 16 among wiring 18 at a substrate 42. The electric joint 48 is formed in through hole 42a, and the electric conduction foil 44 and wiring 18 are electrically connected to it. Moreover, on the electric conduction foil 44, the solder resist layer 49 avoided the external electrode 46, was prepared, and the electric conduction foil 44 is protected.

[0072] Next, the manufacture approach of a semiconductor device 40 is explained. First, through the process shown in drawing 3 (A) - drawing 3 (C), an interlayer 16 and wiring 18 are formed in a semiconductor chip 12, and crevice 16a is formed in an interlayer 16.

[0073] And a substrate 42 is stuck through adhesives 24 on an interlayer 16, and through hole 42a is formed in a substrate 42. In addition, this may be stuck after forming through hole 42a in a substrate 42 beforehand.

[0074] Next, the electric conduction foil 44 is formed in a substrate 42. The electric conduction foil 44 can be formed by sputtering, electrolytic plating, electroless deposition, etc. The technique of a photolithography may be used for patternizing of the electric conduction foil 44. Or since the electric conduction foil 44 beforehand patternized by the substrate 42 is formed, this may be stuck on an interlayer 16.

[0075] And for example, the electric joint 48 is formed in the field containing through hole 42a of a substrate 42 by adding electrolytic plating to electroless deposition or this etc.

[0076] Next, after avoiding the formation field of the external electrode 46 and forming a solder resist layer 49 on the electric conduction foil 44, the external electrode 46 is formed. The formation approach of the external electrode 46 is the same as the formation approach of the external electrode 26 of the 1st operation gestalt.

[0077] Since crevice 16a is formed in the interlayer 16, the stress added to the external electrode 26 is absorbable with the semiconductor device 40 manufactured as mentioned above.

[0078] (The 4th operation gestalt) Drawing 6 is drawing showing the semiconductor device concerning the 4th operation gestalt. An interlayer 56 is formed in the semiconductor chip 52 which has an electrode 54 like the semiconductor device 10 which shows the semiconductor device 50 shown in this drawing to drawing 1; and crevice 56a is formed in the interlayer 56. Moreover, it applies on an interlayer 56 from an electrode 54, wiring 58 is formed, and the electric conduction foil 60 is formed on the interlayer 56 in one with wiring 58. At least one hole 60a is formed in the electric conduction foil 60. And the external electrode 62 is formed in the field on crevice 56a in the electric conduction foil 60. Moreover, the external electrode 62 is avoided, a solder resist layer 64 is formed on wiring 58 and the electric conduction foil 60, and these are protected.

[0079] This operation gestalt has the description in the manufacture approach. Drawing 7 (A) - drawing 8 (C) are drawings explaining the manufacture approach of the semiconductor device concerning this operation gestalt.

[0080] It is desirable to cut this, after forming an interlayer 56 and external electrode 62 grade to a wafer with this operation gestalt, since a substrate is not used. On the other hand, a tape-like substrate

can be stuck on the semiconductor chip of the piece of an individual with the gestalt (the 1st – the 3rd operation gestalt) which uses a substrate.

[0081] First, as shown in drawing 7 (A), an electrode 54 is avoided to active side 52a of a semiconductor chip 52, and an interlayer 56 is formed in it. An interlayer 56 is formed with the same ingredient as the interlayer 16 who shows drawing 1. When an interlayer 56 is formed with an ingredient with low Young's modulus, a stress relaxation function is achieved also by the interlayer 56. Or an interlayer 56 may be formed with a hard ingredient (for example, inorganic substances, such as a magnesium oxide (MgO)) which does not achieve a stress relaxation function.

[0082] In addition, when the middle class 56 is etched at a next process, it is desirable [ the middle class 56 ] to differ in a semi-conductor passivation membrane and the quality of the material so that active side 52a of a semiconductor chip 52 may not be etched. For that purpose, as for the middle class 56, being formed with the ingredient which can be etched is desirable under the conditions into which the matter exposed to the front face of a semiconductor chip 52 is not etched.

[0083] Next, as shown in drawing 7 (B), it applies on an interlayer 56 from an electrode 54, and a metal membrane 66 is formed. The manufacture approach is the same as the formation approach of the metal membrane for forming the wiring 18 of the 1st operation gestalt. In this case, since the stress of the external terminal 62 mentioned later starts wiring 58 directly, as for the thickness of wiring 58, it is desirable to be referred to as about 5–20 micrometers. A metal membrane 66 is etched at the process mentioned later, and forms wiring 58 and the electric conduction foil 60.

[0084] Next, as shown in drawing 7 (C), hole 60a is formed in the part used as the electric conduction foil 60 in a metal membrane 66, and the middle class 56 is exposed to it through this hole 60a at an etching reagent or etching gas (etchant). for example, the case where the middle class 56 is formed by resin, such as polyimide, — as etchant — the strong-base water solution of KOH grade, and O<sub>2</sub> Or CF<sub>4</sub> etc. — dry etching gas is desirable, and when the middle class 56 is formed with a magnesium oxide (MgO) etc., a heat phosphoric-acid water solution etc. is desirable. Then, etchant is removed if needed. Especially in the case of wet process, it is desirable to add rinsing and a rinse process. In this way, as shown in drawing 7 (D), the middle class 56 is etched and crevice 56a is formed.

[0085] Then, as shown in drawing 8 (A), patterning of the metal membrane 66 is carried out, and wiring 58 and the electric conduction foil 60 are formed. And as shown in drawing 8 (B), a solder resist layer 64 is formed, and as shown in drawing 8 (C), the external electrode 62 is formed. As solder resist, photosensitive polyimide resin, a photosensitive epoxy resin dry film, etc. are used in many cases. The formation approach of the external electrode 62 is the same as that of the 1st operation gestalt. In this way, a semiconductor device 50 is obtained. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt can be attained.

[0086] Furthermore, since hole 60a is formed in the electric conduction foil 60, the semiconductor device 50 manufactured according to this operation gestalt is easy to transform the electric conduction foil 60. Therefore, the absorption effect of the stress by the electric conduction foil 60 which changed into the condition of having floated on crevice 56a is heightened further.

[0087] (The 5th operation gestalt) Drawing 9 (A) – drawing 9 (C) are drawings showing the manufacture approach of the semiconductor device concerning the 5th operation gestalt.

[0088] With this operation gestalt, as shown in drawing 9 (A), an interlayer 76 is formed in the semiconductor chip 72 which has an electrode 74. The electric conduction foil 80 is formed on an interlayer 76, and wiring 78 is formed so that it may result [ from the electric conduction foil 80 ] in an electrode 74. A solder resist layer 84 is formed on wiring 78 and the electric conduction foil 80. Moreover, hole 80a is formed in the electric conduction foil 80.

[0089] In addition, an interlayer's 76 formation approach is the same as the approach shown in drawing 7 (A), and the formation approach of the electric conduction foil 80 is the same as the approach shown at drawing 7 (B) – drawing 8 (A) in wiring 78 and a hole 80a list. Moreover, a solder resist layer 84 is formed in the field which avoids the external electrode 82 (refer to drawing 9 (B)).

[0090] And the external electrode 82 is formed on the electric conduction foil 80, and after removing the residue produced in connection with this, an enveloping layer 86 is formed on the external electrode 82 and a solder resist layer 84 (refer to drawing 9 (B)). An enveloping layer 86 is formed under the middle class's 76 etching conditions from the ingredient which is hard to be etched.

[0091] Then, through hole 80a of the electric conduction foil 80, crevice 76a is formed in an interlayer 76, an enveloping layer 86 is removed like the process of drawing 7 (D), and the semiconductor device 70 shown in drawing 9 (C) is obtained.

[0092] Since according to this operation gestalt crevice 76a is formed in an interlayer 76 after removing the residue produced when forming the external electrode 82, residue does not remain in crevice 76a. Moreover, the description of the semiconductor device 70 manufactured according to this operation gestalt is the same as the 4th operation gestalt.

[0093] (The 6th operation gestalt) Drawing 10 (A) – drawing 10 (C) are drawings showing the manufacture approach of the semiconductor device concerning the 6th operation gestalt.

[0094] With this operation gestalt, as shown in drawing 10 (A), the semiconductor chip 102 with which the electrode 104 was avoided and the passivation membrane 106 was formed on active side 102a is used. A passivation membrane 106 is formed with the ingredient which has the property which is common in the interlayer 108 who shows drawing 10 (C). That is, the passivation membrane 106 is formed with the ingredient etched under the middle class's 108 etching conditions. For example, the case where each forms the middle class 108 and a passivation membrane 106 with polyimide resin corresponds.

[0095] In such a case, as shown in drawing 10 (B), an enveloping layer 118 is formed at least on a passivation membrane 106 in the location under crevice 108a (refer to drawing 10 (C)). The enveloping layer 118 is formed with the ingredient which is not etched under the middle class 108 and the etching conditions of a passivation membrane 106. For example, what is necessary is just to let enveloping layers 118 be metal thin films, such as Cr, Ti-W, and Ti, when the middle class 108 and a passivation membrane 106 are formed from polyimide resin.

[0096] Then, according to the process same with being shown in drawing 7 (A) – drawing 8 (C), as shown in drawing 10 (C), the interlayer 108 who has crevice 108a, wiring 110, the electric conduction foil 112 which has hole 112a, the external electrode 114, and a solder resist layer 116 are formed.

[0097] Since the passivation membrane 106 is covered with the enveloping layer 118, when according to this operation gestalt etching the middle class 108 and forming crevice 108a, it can prevent being etched to a passivation membrane 106. In this way, it can prevent that an active element is exposed in crevice 108a. The description about a stress relaxation function is the same as the operation gestalt mentioned above.

[0098] (The 7th operation gestalt) Drawing 11 (A) and drawing 11 (B) are drawings showing some semiconductor devices concerning the 7th operation gestalt. In addition, drawing 11 (B) is the B-B line sectional view of drawing 11 (A). Holes 122 and 124 are formed in the substrate 20 and the electric conduction foil 22 in the semiconductor device 10 which shows the semiconductor device 120 concerning this operation gestalt to drawing 1.

[0099] According to this operation gestalt, by holes 122 and 124 having been formed, it becomes easy to transform a substrate 20 and the electric conduction foil 22, and the stress relaxation function is raised.

[0100] (The 8th operation gestalt) Drawing 12 is drawing showing the semiconductor device concerning the 8th operation gestalt. As for the semiconductor device 130 shown in this drawing, wiring 136 is formed from the electrode 134 on active side 132a of a semiconductor chip 132. The interlayer 138 is formed after wiring 136. And crevice 138a is formed in the interlayer 138 so that wiring 136 may be exposed in the location on wiring 136. On the interlayer 138, the substrate 146 is formed through adhesives 142. The electric conduction foil 144 is formed in the field which is the upper location of crevice 138a, and counters this substrate 146 at this crevice 138a. Moreover, through hole 146a is formed in the substrate 146, and the electric conduction foil 144 is [ / above crevice 138a ] exposed to

it from the field of the opposite side. And the external electrode 148 is formed through through hole 146a.

[0101] Furthermore, crevice 138a is filled up with conductive paste 140. Electric conduction fillers, such as silver (Ag), copper (Cu), silver plating copper, or gold (Au), are added by soft resin as well as the resin 32 with which crevice 16a which shows conductive paste 140 to drawing 4 was filled up. Wiring 136 and the electric conduction foil 144 are electrically connected by this conductive paste 140.

[0102] Also in this operation gestalt, a stress relaxation function can be achieved by crevice 138a being formed in an interlayer 138.

[0103] (The 9th operation gestalt) Drawing 13 (A) – drawing 14 (B) are drawings showing the manufacture approach of the semiconductor device concerning the 9th operation gestalt. With this operation gestalt, the semiconductor chip 102 shown in drawing 10 (A) and the semiconductor chip 152 with which the passivation membrane (not shown) was similarly formed in active side 152a are used. This passivation membrane is formed from the ingredient etched under the middle class's 158 etching conditions.

[0104] As shown in drawing 13 (A), an enveloping layer 156 is formed on the passivation membrane in active side 152a. An enveloping layer 156 is formed under the middle class's 158 etching conditions from the ingredients (for example, chromium (Cr), titanium (Ti), a titanium tungsten (Ti-W), or copper (Cu) etc.) which are not etched. An enveloping layer 156 is formed of sputtering.

[0105] Next, as shown in drawing 13 (B), an electrode 154 is avoided including an enveloping layer 156 top, and an interlayer 158 is formed. An interlayer's 158 ingredient is the same as that of the 1st operation gestalt.

[0106] And as shown in drawing 13 (C), it applies to an interlayer 158 from an electrode 154, and wiring 160 is formed, and the electric conduction foil 162 is formed so that it may connect with wiring 160 electrically. In sputtering, among these, chromium (Cr), titanium (Ti), a titanium tungsten (Ti-W), copper (Cu), or the metal membrane by which the laminating was carried out is formed, and plurality patternizes this by etching and, specifically, forms wiring 160 and the electric conduction foil 162 in one. Moreover, hole 162a is formed in the electric conduction foil 162.

[0107] Then, as shown in drawing 13 (D), the external electrode 164 is formed on the electric conduction foil 162. On the electric conduction foil 162, by electrolytic plating or electroless deposition, among these, plurality forms copper (Cu), nickel (nickel), gold (Au), or the bump by whom the laminating was done, and, specifically, forms the external electrode 164.

[0108] And as shown in drawing 14 (A), a solder resist layer 166 is formed on wiring 160, and an enveloping layer 168 is formed on a solder resist layer 166. It is formed from the ingredient into which an enveloping layer 168 is not etched under the middle class's 158 etching conditions, either (for example, chromium (Cr), titanium (Ti), a titanium tungsten (Ti-W), or copper (Cu) etc.).

[0109] And as shown in drawing 14 (B), crevice 158a is formed in an interlayer 158. The process is the same as the process shown in drawing 7 (D). Moreover, etching removes an enveloping layer 168. Although opening is in the center section of the external electrode 164 in this example, an opening design like the 7th operation gestalt is sufficient.

[0110] A semiconductor device 150 can be obtained according to the above process. This semiconductor device 150 also achieves a stress relaxation function by crevice 158a being formed in an interlayer 158.

[0111] In addition, instead of the external electrode 164 of the shape of a bump of the semiconductor device 150 shown in drawing 14 (B), as shown in drawing 15, the external electrode 170 which consists of a pewter ball may be formed on the edge which forms hole 162a in the electric conduction foil 162.

[0112] In addition, this invention is not limited to the semiconductor device of a CSP mold. For example, if the laminating of the direct variant part is carried out on the electrode of a semiconductor chip, though it is size equivalent to a flip chip, the semiconductor device which also has a stress relaxation function will be obtained.

[0113] The circuit board 1000 which mounted the semiconductor device 1100 manufactured by the approach concerning the operation gestalt mentioned above in drawing 16 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group plate. While being formed so that the circuit pattern which becomes the circuit board 1000 from copper may serve as a desired circuit, the pewter ball is prepared in this circuit board 1000. And those electric flows are achieved by connecting mechanically the pewter ball of a circuit pattern, and the external electrode of a semiconductor device 1100.

[0114] In this case, since the structure which absorbs distortion produced by the differential thermal expansion with the exterior to a semiconductor device 1100 is established, even if it mounts this semiconductor device 1100 in the circuit board 1000, the time of connection and the dependability after it can be improved.

[0115] In addition, it can be made small even in the area which also mounted the component-side product with the bare chip. For this reason, if this circuit board 1000 is used for electronic equipment, the miniaturization of the electronic equipment itself can be attained. Moreover, a mounting tooth space can be secured more in the same area, and it is also possible to attain advanced features.

[0116] And the note type personal computer 1200 is shown in drawing 17 as electronic equipment equipped with this circuit board 1000.

[0117] In addition, active parts or a passive component cannot be asked but this invention can also be applied to the electronic parts for various surface mounting. As electronic parts, there is a resistor, a capacitor, a coil, an oscillator, a filter, a temperature sensor, a thermistor, a varistor, volume, or a fuse.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the sectional view showing the semiconductor device concerning the 1st operation gestalt.

[Drawing 2] Drawing 2 is the top view showing the semiconductor device concerning the 1st operation gestalt.

[Drawing 3] Drawing 3 (A) – drawing 3 (E) are drawings showing the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

[Drawing 4] Drawing 4 is drawing showing the semiconductor device concerning the 2nd operation gestalt.

[Drawing 5] Drawing 5 is drawing showing the semiconductor device concerning the 3rd operation gestalt.

[Drawing 6] Drawing 6 is drawing showing the semiconductor device concerning the 4th operation gestalt.

[Drawing 7] Drawing 7 (A) – drawing 7 (D) are drawings explaining the manufacture approach of the semiconductor device concerning the 4th operation gestalt.

[Drawing 8] Drawing 8 (A) – drawing 8 (C) are drawings explaining the manufacture approach of the semiconductor device concerning the 4th operation gestalt.

[Drawing 9] Drawing 9 (A) – drawing 9 (C) are drawings showing the manufacture approach of the semiconductor device concerning the 5th operation gestalt.

[Drawing 10] Drawing 10 (A) – drawing 10 (C) are drawings showing the manufacture approach of the semiconductor device concerning the 6th operation gestalt.

[Drawing 11] Drawing 11 (A) and drawing 11 (B) are drawings showing the semiconductor device concerning the 7th operation gestalt.

[Drawing 12] Drawing 12 is drawing showing the semiconductor device concerning the 8th operation gestalt.

[Drawing 13] Drawing 13 (A) – drawing 13 (D) are drawings showing the manufacture approach of the semiconductor device concerning the 9th operation gestalt.

[Drawing 14] Drawing 14 (A) and drawing 14 (B) are drawings showing the manufacture approach of the semiconductor device concerning the 9th operation gestalt.

[Drawing 15] Drawing 15 is drawing showing the modification of the 9th operation gestalt.

[Drawing 16] Drawing 16 is drawing showing the circuit board in which the semiconductor device concerning this operation gestalt was mounted.

[Drawing 17] Drawing 17 is drawing showing electronic equipment equipped with the circuit board in which the semiconductor device concerning this operation gestalt was mounted.

#### [Description of Notations]

10 Semiconductor Device

11 Passivation Film

12 Semiconductor Chip

12a Active side

14 Electrode

16 Interlayer

16a Crevice

18 Wiring

20 Substrate

20a Through hole

22 Electric Conduction Foil

26 External Electrode

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340369

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12  
21/60

識別記号

3 1 1

F I

H 0 1 L 23/12  
21/60  
21/92

L

3 1 1 Q  
6 0 2 J

審査請求 未請求 請求項の数21 O L (全 16 頁)

(21) 出願番号 特願平11-75282

(22) 出願日 平成11年(1999) 3 月19日

(31) 優先権主張番号 特願平10-94007

(32) 優先日 平10(1998) 3 月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 橋元 伸晃

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

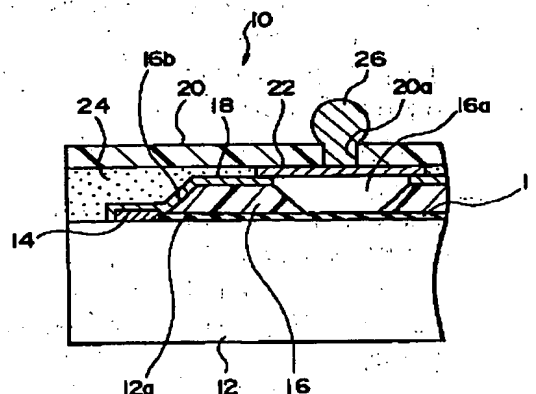
(74) 代理人 弁理士 井上 一 (外 2 名)

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 電極 1 4 を有する半導体素子 1 2 と、それぞれの電極 1 4 の少なくとも一部を避けて半導体素子 1 2 の表面上に設けられるパッシベーション膜 1 1 と、パッシベーション膜 1 1 が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔 2 2 と、導電箔 2 2 上に形成される外部電極 2 6 と、パッシベーション膜 1 1 と導電箔 2 2 との間に形成されるとともに導電箔 2 2 を支持する中間層 1 6 と、電極 1 4 と導電箔 2 2 とを電気的に接続する配線 1 8 と、を有し、中間層 1 6 には、導電箔 2 2 における外部電極 2 6 との接合部を含む領域の下方に、パッシベーション膜 1 1 側から導電箔 2 2 側に近づくに従い開口領域が広がる凹部 1 6 a が形成されている。



(2)

## 【特許請求の範囲】

【請求項1】 電極を有する半導体素子と、  
それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、  
前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、  
前記導電箔上に形成される外部電極と、  
前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、  
前記電極と前記導電箔とを電気的に接続する配線と、を有し、

前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜側から前記導電箔側に近づくに従い開口領域が広がる凹部が形成されている半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記凹部内には、前記中間層よりもヤング率が低い樹脂が充填されている半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、  
前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電気的に接続する半導体装置。

【請求項4】 請求項1又は請求項2記載の半導体装置において、前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、  
前記配線は、前記傾斜面を通して前記電極と前記導電箔とを電気的に接続する半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、前記中間層は、柔軟性を有する材料から形成される半導体装置。

【請求項6】 請求項1から請求項5のいずれかに記載の半導体装置において、前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有する半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、  
前記基板は、前記凹部の上方に貫通穴を有し、  
前記貫通穴を介して前記導電箔に前記外部電極が形成される半導体装置。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体装置において、

前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、  
前記基板は、前記凹部の上方を除く領域に貫通穴を有し、  
前記貫通穴を介して前記配線と前記導電箔とが電気的に接続される半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、前記導電箔と前記配線とは、一体的に形成されている半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、前記導電箔と前記配線とは、別体である半導体装置。

【請求項11】 電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、  
前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼむ凹部を形成する工程と、  
前記電極と前記導電箔とを電気的に接続する配線を形成する工程と、  
前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、  
を含む半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、貫通穴を有し、かつ、前記貫通穴上を含めて前記導電箔が貼り付けられた基板を用意し、  
前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、  
その後、前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて、前記基板を前記中間層に載せ、  
前記貫通穴を介して前記導電箔に前記外部電極を形成する半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、  
前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、  
前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電気的に接続する半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、

(3)

3

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、  
前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成される半導体装置の製造方法。

【請求項16】 請求項11記載の半導体装置の製造方法において、  
前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、  
前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項17】 請求項11記載の半導体装置の製造方法において、  
前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、  
前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、  
前記第1の被覆層上に前記中間層を形成し、  
前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、  
前記配線上にソルダレジスト層を形成し、  
前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、  
前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングする半導体装置の製造方法。

【請求項18】 請求項14から請求項17のいずれかに記載の半導体装置の製造方法において、  
前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる電極被覆層を形成する工程を含む半導体装置の製造方法。

【請求項19】 請求項11から請求項18のいずれかに記載の半導体装置の製造方法において、  
前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含む半導体装置の製造方法。

【請求項20】 請求項1から請求項10のいずれかに記載の半導体装置が実装された回路基板。

【請求項21】 請求項20記載の回路基板を有する電子機器。

4

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP (Chip Scale/Size Package) が適用された半導体装置が開発されている。CSPについては正式な定義はないが、一般に、パッケージサイズがICチップと同じか、ICチップよりわずかに大きいICパッケージと解されている。高密度実装を推進するためには、CSP技術の開発が重要である。CSPに関する従来例を開示する刊行物として、国際公開WO95/08856号公報がある。

【0003】これによれば、外部電極を有する基板と半導体チップとの間にギャップが形成され、このギャップに樹脂が注入される。この樹脂は、硬化したときに弾力性を有するものである。この弾力性を有する樹脂によって、外部電極に加えられた応力（熱ストレス）が吸収される。なお、この応力は、半導体装置と、この半導体装置が実装される回路基板との熱膨張率の差によって生じる。

【0004】しかしながら、半導体チップの基板との間に注入される樹脂は、極めて薄いために十分な熱ストレスの吸収がなされていなかった。

【0005】本発明は、この問題点を解決するものであり、その目的は、熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0006】

【課題を解決するための手段】（1）本発明に係る半導体装置は、電極を有する半導体素子と、それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、前記導電箔上に形成される外部電極と、前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、前記電極と前記導電箔とを電気的に接続する配線とを有し、前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜側から前記導電箔側に近づくに従い開口領域が広がる凹部が形成されている。

【0007】本発明に係る「半導体素子」は、半導体チップにとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわちここでいう半導体素子とは、例えばシリコンからなるベース基板状に切り離したとしても使える所定の回路が形成されていれば良く、切

(4)

5

り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。

【0008】本発明によれば、外部電極が導電箔に形成され、導電箔は中間層にて支持されている。中間層には凹部が形成され、凹部の上方に外部電極が位置している。すなわち、外部電極が中間層に直接支持されずに、中間層から浮いた状態になっている。このことによって、外部電極は比較的自由に動くことができるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）を吸収することができる。

【0009】（2）前記凹部内には、前記中間層よりもヤング率が低い樹脂が充填されていてもよい。

【0010】こうすることで、凹部の空間を埋めることができるので、リフロー工程などの加熱時に、水蒸気の膨張によるクラックを防止することができる。

【0011】（3）前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電気的に接続されていてもよい。

【0012】（4）前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、前記配線は、前記傾斜面を通して前記電極と前記導電箔とを電気的に接続してもよい。

【0013】（5）前記中間層は、柔軟性を有する材料から形成されてもよい。

【0014】こうすることで、中間層自体によっても応力を緩和することができる。

【0015】（6）前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有してもよい。

【0016】こうすることで、導電箔が変形しやすくなり、導電箔によって応力を吸収することができる。

【0017】（7）本発明において、前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、前記基板は、前記凹部の上方に貫通穴を有し、前記貫通穴を介して前記導電箔に前記外部電極が形成されてもよい。

【0018】これによれば、導電箔上が基板にて覆われて保護される。

【0019】（8）本発明において、前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、前記基板は、前記凹部の上方を除く領域に貫通穴を有し、前記貫通穴を介して前記配線と前記導電箔とが電気的に接続されてもよい。

【0020】（9）前記導電箔と前記配線とは、一体的に形成されていてもよい。

【0021】（10）前記導電箔と前記配線とは、別体であってもよい。

【0022】（11）本発明に係る半導体装置の製造方

6

法は、電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼむ凹部を形成する工程と、前記電極と前記導電箔とを電気的に接続する配線を形成する工程と、前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、を含む。

【0023】本発明によって製造される半導体装置によれば、外部電極が導電箔に形成され、導電箔は中間層にて支持されている。中間層には凹部が形成され、凹部の上方に外部電極が位置している。すなわち、外部電極が中間層に直接支持されずに、中間層から浮いた状態になっている。このことによって、外部電極は比較的自由に動くことができるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）を吸収することができる。

【0024】（12）本発明において、貫通穴を有し、かつ、前記貫通穴上を含めて前記導電箔が貼り付けられた基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、その後、前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて、前記基板を前記中間層に載せ、前記貫通穴を介して前記導電箔に前記外部電極を形成してもよい。

【0025】これによれば、導電箔が基板に貼り付けられているので、導電箔を形成する工程を簡単に行うことができる。

【0026】（13）本発明において、柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電気的に接続してもよい。

【0027】これによれば、導電箔が基板に貼り付けられているので、導電箔を形成する工程を簡単に行うことができる。

【0028】（14）前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成してもよい。

【0029】（15）前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成されてもよい。

【0030】こうすることで、中間層をエッチングする

(5)

ときに、半導体素子の表面もエッチングされることを防止できる。

【0031】(16) 前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成してもよい。

【0032】このように、パッシベーション膜に被覆層を形成することで、パッシベーション膜のエッチングを防止することができる。

【0033】(17) 前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、前記第1の被覆層上に前記中間層を形成し、前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、前記配線の上にソルダレジスト層を形成し、前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングしてもよい。

【0034】(18) 前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる電極被覆層を形成する工程を含んでもよい。

【0035】これによれば、外部電極を形成してから、中間層をエッチングして凹部を形成する。したがって、外部電極の形成により生じる残渣を除去してからエッチングを行えるので、残渣が凹部に残らない。

【0036】(19) 本発明では、前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含んでもよい。

【0037】(20) 本発明に係る回路基板には、上記半導体装置が実装される。

【0038】(21) 本発明に係る電子機器は、上記回路基板を有する。

【0039】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0040】なお、各図面は説明を分かりやすくするために一部を拡大して示したものである。以下の説明においては、最終的に個片にしたときの1つの半導体装置を想定して説明しているため、用いている用語や形状等において若干実際と異なる箇所がある。以下の説明では、半導体チップと記載してあり、その意味の通り個片（す

8

なわちチップ状)のものを指しているが、本発明に係る「半導体素子」は、半導体チップにとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわちここでいう半導体素子とは、例えばシリコンからなるベース基板状に切り離したとしても使える所定の回路が形成されていれば良く、切り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。また配線等の説明に必要な箇所の代表的な箇所のみを取り上げているので、各図にはその他の箇所に同様のものやその他の構造が省略されている。

【0041】(第1実施形態) 図1は、第1実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置10は、パッケージサイズが半導体チップ12とほぼ同じであるCSP型のものである。

【0042】半導体チップ12の能動面12aには、例えばアルミニウム(A1)から電極14が形成されている。また、それぞれの電極14の少なくとも一部を避けて半導体チップ12には、パッシベーション膜11が形成されている。ここで、少なくとも一部を避けるとは、電極14から電気的信号等を導き出す必要があるからである。したがって、電極14から電気的信号等が導き出せる程度に、パッシベーション膜11が電極14を避ける必要がある。パッシベーション膜11は、例えば、SiO<sub>2</sub>、SiN、ポリイミド樹脂などで形成することができる。電極14を避けて能動面12aに中間層16が形成されている。詳しくは、パッシベーション膜11上に中間層16が形成されている。また、中間層16には、凹部16aが形成されており、凹部16a内では能動面12aが露出している。もっとも、凹部16aは、へこんだ形状であれば足り、能動面12aが露出していなくてもよい。また、中間層16には、電極14から傾斜する傾斜面16bが形成されており、電極14から傾斜面16bを経て中間層16上にかけて、配線18が形成されている。図1に示す凹部16aの開口端部は、外部電極26の根本の部分の大きさよりもかなり大きい。これに限定されず、外部電極26の根本の部分の大きさとほぼ等しいかあるいはそれ以上であればよい。さらに、外部電極26の根本の一部に、凹部16aの開口が位置しても良く、この場合は、この開口が中間層の変形を許し、応力緩和効果を発揮できる。また、凹部16aは、中間層16を貫通してその下のパッシベーション膜11を露出させてもよいが、中間層16を貫通しないように凹部16aの底部に中間層16の一部を残しても良い。

【0043】ここで、中間層16は、絶縁樹脂、例えばポリイミド樹脂からなり、半導体装置10が回路基板(図示せず)に実装されたときに、半導体チップ12と実装される回路基板との熱膨張係数の差によって生じる応力を緩和することができる。なお、中間層16が応力緩和機能を有することは、本発明の必須要件ではない。

(6)

9

応力緩和機能は、凹部16aが形成されていることでも達成される（詳しくは後述する）。

【0044】また、絶縁樹脂は、配線18に対して絶縁性を有し、半導体チップ12の能動面12aを保護することができ、実装時のハンダを溶融するときの耐熱性も有する。後述する応力緩和機能を付加させることを考慮すると、ポリイミド樹脂等が一般的に用いられ、中でもヤング率が低いもの（例えばオレフィン系のポリイミド樹脂や、ポリイミド樹脂以外としてはダウケミカル社製のBCB等）を用いることが好ましく、特にヤング率が300kg/mm<sup>2</sup>以下程度であることが好ましい。中間層16は、厚いほど応力緩和力が大きくなるが、半導体装置の大きさや製造コスト等を考慮すると、1~100μm程度の厚みとすることが好ましい。ただし、ヤング率が300kg/mm<sup>2</sup>程度のポリイミド樹脂を用いた場合には、10μm程度の厚みで足りる。

【0045】あるいは、中間層16として、例えばシリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等を用いても良く、さらに、ヤング率が低く応力緩和の働きを果たせる材質を用いてもよい。また、中間層16として、パシベーション層（SiN、SiO<sub>2</sub>、MgOなど）を形成し、応力緩和自体は、後述するように凹部16aが形成されることで行われてもよい。

【0046】配線18は、例えば銅（Cu）やクロム（Cr）、チタン（Ti）、ニッケル（Ni）、チタングステン（Ti-W）から又はこれらのうちの複数を積層して形成され、その上に導電箔22が形成されている。導電箔22は、予め基板20に形成されたもので、接着剤24を介して、基板20とともに配線18上に貼り付けられる。なお、導電箔22も、例えば銅（Cu）から形成されている。

【0047】導電箔22は、中間層16に形成された凹部16aの開口端部よりも大きく形成されて、この凹部16aの上方を覆うように配置されている。また、導電箔22の一部は、配線18の上に接触して電氣的に接続されている。なお、導電箔22と配線18とは、熱及び圧力を加えて溶着されることが好ましい。導電箔22と配線18との電氣的な接続は、上述のような、接着剤24による機械的圧接によっても良いし、配線18及び導電箔22上にAu、Sn、ハンダ等をメッキして両者をロウ付けしても良く、超音波熱等による拡散接合で接続しても良い。そのために、導電箔22及び配線18の双方の接合面のうち少なくとも一方に、低温ろうが設けられていることが好ましい。

【0048】基板20は、柔軟性を有する樹脂等で形成されたフィルム状のもので、凹部16aの上方の位置に、貫通穴20aを有する。なお、導電箔22は、基板20の下面において、貫通穴20aを覆うように形成されている。そして、貫通穴20aを介して、導電箔22

10

に外部電極26が形成されている。外部電極26は、例えば、ハンダのみで形成してもよいし、銅（Cu）又はニッケル（Ni）の表面にハンダ又は金のメッキを施して形成してもよい。

【0049】なお、導電箔22付きの基板20として、2層（Cu箔+ポリイミド基板）又は3層（Cu箔+接着剤+ポリイミド基板）のTAB技術で用いられるフィルムキャリアテープ又はFPC（Flexible Printed Circuit）を使用してもよい。

【0050】本実施形態は、上記のように構成されており、以下その作用を説明する。半導体装置10において、外部電極26が形成された導電箔22は、中間層16によって支持されている。ただし、中間層16には、外部電極26の直下を含む領域に、凹部16aが形成されている。凹部16aによって、導電箔22の下には空間が形成される。つまり、外部電極26との接合部付近において、導電箔22は浮いた状態となって変形しやすくなっている。このように構成されているので、外部電極26に応力が加えられると、導電箔22及び基板20が変形することで、その応力を吸収することができる。こうして、半導体装置を回路基板に実装する際や、実装された回路基板や電子機器が温度変化による半導体装置（又はシリコンから形成される半導体チップ）と回路基板との熱膨張係数差によるストレスや、外部応力によって曲げられた際に発生する機械的ストレスを吸収することができる。以下、ストレスとは、このことを言う。

【0051】次に、図2に、本実施形態に係る半導体装置の平面図を示す。同図において、半導体チップ12の電極14から、能動面12aの中央方向に配線18が形成され、各配線18は導電箔22に接続され、導電箔22には外部電極26が設けられている。外部電極26を除く領域は、基板20によって覆われて保護されている。

【0052】電極14は、半導体チップ12の周辺部に位置する、いわゆる周辺電極型の例であるが、半導体チップの周辺領域よりも内側領域に電極が形成されたエリアアレイ配置型の半導体チップを用いても良い。

【0053】なお、同図に示されるように、外部電極26は半導体チップ12の電極14上ではなく半導体チップ12の能動領域（能動素子が形成されている領域）に設けられている。中間層16を能動領域に設け、更に配線18を能動領域内に配設する（引き込む）ことで、外部電極26を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部電極26を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部電極26の設定位置の自由度が非常に増すことになる。

【0054】そして、配線18を必要な位置で屈曲させることにより、外部電極26は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではな

(7)

11

いので、外部電極26は必ずしも格子状に並ぶように設けなくても良い。

【0055】また、図2には、電極14と配線18との接合部において、電極14の幅と配線18の幅が、配線18<電極14

となっているが、実際には、

電極14 $\leq$ 配線18

とすることが好ましい。特に、

電極14<配線18

となる場合には、配線18の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

【0056】なお、本実施形態では、中間層16が応力緩和機能を有するが、凹部16aが形成されることだけでも、ストレスを吸収することが可能である。したがって、中間層16として、応力緩和機能を有しない材質からなる層（例えば単なる絶縁層又は保護層）を形成した構造であっても、ストレスの吸収が可能となる。

【0057】次に、図3（A）～図3（E）は、本実施形態に係る半導体装置の製造方法を説明する図である。

まず、図3（A）に示すように、例えばアルミニウム

（A1）からなる電極14を有する半導体チップ12を用意する。なお、電極14を避けて半導体チップ12には、図示しないパッシベーション膜が形成されている。ウェーハ状の半導体素子に対して、本発明に係る工程を行うときでも、市販されているウェーハを用意すればよい。そして、半導体チップ12の能動面12aに、図示しないポリイミド樹脂をスピコートなどの方法で設ける。あるいは、予めフィルム状にされたポリイミド樹脂等を、能動面12aに貼り付けてもよい。

【0058】そして、フォトリソグラフィの工程を経て、図3（B）に示すように、凹部16aを有する中間層16を形成する。なお、凹部16aをフォトリソグラフィにより形成する場合には、それに適した材料を中間層16の材料として選ぶことが好ましい。

【0059】続いて、図3（C）に示すように、電極14から中間層16上に至る配線18を形成する。例えば、スパッタリングにより100オングストローム（ $10^{-10}\text{m}$ ）のチタンタングステン（Ti-W）層を形成し、その上に同様にスパッタリングにより $1\mu\text{m}$ の銅（Cu）層を形成し、こうして得られた金属膜を、所定のパターンにエッチングして配線18を形成する。

【0060】そして、図3（D）に示すように、接着剤24を介して、基板20を貼り付ける。基板20には、予め貫通穴20aが形成されているとともに、貫通穴20aを覆う位置に導電箔22が設けられている。

【0061】なお、導電箔22及び配線18の双方の接合面のうち少なくとも一方に、例えば、スズ（Sn）、金（Au）又はハンダ等をメッキして、低温ろうを設けることが好ましい。

【0062】そして、導電箔22が配線18上に接触す

12

るように基板20を載せて、基板20の上から熱及び圧力を加える。こうして、低温ろうが溶融して導電箔22と配線18とが電氣的に接続される。この接続は、超音波等を印加して行われても良い。

【0063】次に、図3（E）に示すように、基板20の貫通穴20aを介して、導電箔22に外部電極26を形成する。例えば、導電箔22上に、ハンダボールを載せたり、ハンダメッキを積み上げたり、ハンダペーストを印刷したり、銅（Cu）又はニッケル（Ni）あるいはその両方のメッキを施してさらにハンダ又は金（Au）のメッキを施したりすることで、外部電極26を形成する。

【0064】以上の工程によって、半導体装置10を得ることができる。なお、半導体チップ12がウェーハ状のものである場合には、ダイシングを行って個片に切断することで半導体装置10が得られる。半導体装置10は、その後、品質検査を行ってトレイ詰めされる。

【0065】なお、本実施形態では、配線18は傾斜面16b上に形成されているが、凹部16a側の傾斜面に形成されてもよい。このことは、以下の実施形態でも同様である。こうすれば、配線18の大部分は、中間層16を通り、保護されるため、装置信頼性が向上する。

【0066】（第2実施形態）図4は、第2実施形態に係る半導体装置を示す図である。同図に示す半導体装置30は、図1に示す半導体装置10の凹部16aに、樹脂32が充填されたことを特徴としており、それ以外の構成は半導体装置10と同様である。図4に示す凹部16aの開口端部は、外部電極26の根本の部分の大きさよりもかなり大きい。これに限定されず、外部電極26の根本の部分の大きさとほぼ等しいかあるいはそれ以上であればよい。さらに、外部電極26の根本の一部に、凹部16aの開口が位置しても良く、この場合は、この開口が中間層の変形を許し、応力緩和効果を発揮できる。また、凹部16aは、中間層16を貫通してその下のパッシベーション膜（図示せず）を露出させてもよいが、中間層16を貫通しないように凹部16aの底部に中間層16の一部を残しても良い。

【0067】樹脂32として、例えば感光性レジストとして使用されるポリイミド樹脂、シリコンゲル又はゴム等のうち、中間層16よりもヤング率が低くて柔らかいものを使用することが好ましい。こうすることで、凹部16aにより形成される空間を埋めることができるので、リフロー工程などの加熱時に、空気や水蒸気の膨張によるクラックを防止することができる。

【0068】樹脂32は、基板20を貼り付ける前に充填してもよいし、基板20に穴を形成しておき基板20を貼り付けてから穴を介して充填してもよい。

【0069】また、本実施形態のように凹部に樹脂を充填することは、以下の全ての実施形態においても適用することができる。

(8)

13

【0070】(第3実施形態)図5は、第3実施形態に係る半導体装置を示す図である。同図に示す半導体装置40は、図1に示す半導体装置10と同様に、半導体チップ12、電極14、中間層16及び配線18を有し、中間層16には凹部16aが形成されている。

【0071】中間層16上には接着剤24を介して基板42が貼り付けられている。基板42は、例えば、第1実施形態で中間層16の材料として挙げたポリイミド樹脂等のヤング率の低い材料から形成された膜である。基板42上には、配線状にパターン化された導電箔44が形成され、導電箔44上に外部電極46が形成されている。基板42には、配線18のうち中間層16の上に位置する部分上に、貫通穴42aが形成されている。貫通穴42aには、電氣的接合部48が形成されて、導電箔44と配線18とが電氣的に接続されている。また、導電箔44の上にはソルダレジスト層49が、外部電極46を避けて設けられて、導電箔44を保護している。

【0072】次に、半導体装置40の製造方法を説明する。まず、図3(A)～図3(C)に示す工程を経て、半導体チップ12に、中間層16及び配線18を形成し、中間層16には凹部16aを形成する。

【0073】そして、中間層16上に、接着剤24を介して基板42を貼り付け、基板42に貫通穴42aを形成する。なお、予め基板42に貫通穴42aを形成してから、これを貼り付けてもよい。

【0074】次に、基板42に導電箔44を形成する。導電箔44は、例えば、スパッタリング、電解メッキ、無電解メッキ等によって形成することができる。導電箔44のパターン化にはフォトリソグラフィの技術を使用してもよい。あるいは、予め基板42にパターン化された導電箔44を設けておいてから、これを中間層16上に貼り付けてもよい。

【0075】そして、例えば、無電解メッキにより、あるいはこれに電解メッキを加えるなどの方法で、基板42の貫通穴42aを含む領域に電氣的接合部48を設ける。

【0076】次に、導電箔44上に、外部電極46の形成領域を避けてソルダレジスト層49を設けてから、外部電極46を形成する。外部電極46の形成方法は、第1実施形態の外部電極26の形成方法と同様である。

【0077】以上のようにして製造される半導体装置40によっても、中間層16に凹部16aが形成されているので、外部電極26に加えられるストレスを吸収することができる。

【0078】(第4実施形態)図6は、第4実施形態に係る半導体装置を示す図である。同図に示す半導体装置50は、図1に示す半導体装置10と同様に、電極54を有する半導体チップ52に中間層56が形成され、中間層56には凹部56aが形成されている。また、電極54から中間層56上にかけて配線58が形成され、配

14

線58と一体的に導電箔60が中間層56上に形成されている。導電箔60には、少なくとも一つの穴60aが形成されている。そして、導電箔60における凹部56a上の領域に、外部電極62が形成されている。また、外部電極62を避けて、配線58及び導電箔60上にソルダレジスト層64が形成されて、これらが保護されている。

【0079】本実施形態は、その製造方法に特徴がある。図7(A)～図8(C)は、本実施形態に係る半導体装置の製造方法を説明する図である。

【0080】本実施形態では、基板を使用しないのでウェーハに対して中間層56や外部電極62等を形成してから、これを切断することが好ましい。これに対して、基板を使用する形態(第1～第3実施形態)では、テープ状の基板を個片の半導体チップに貼り付けることができる。

【0081】まず、図7(A)に示すように、半導体チップ52の能動面52aに、電極54を避けて中間層56を形成する。中間層56は、図1に示す中間層16と同様の材料で形成される。中間層56がヤング率の低い材料で形成される場合には、中間層56によっても応力緩和機能を果たす。あるいは、応力緩和機能を果たさないような硬い材料(例えば、酸化マグネシウム(MgO)等の無機物)で中間層56を形成してもよい。

【0082】なお、中間層56が後の工程でエッチングされるときに、半導体チップ52の能動面52aがエッチングされないように、中間層56は、半導体パシベーション膜と材質において異なることが好ましい。そのためには、中間層56は、半導体チップ52の表面に露出する物質がエッチングされない条件下で、エッチング可能な材料で形成されることが好ましい。

【0083】次に、図7(B)に示すように、電極54から中間層56上にかけて、金属膜66を形成する。その製造方法は、第1実施形態の配線18を形成するための金属膜の形成方法と同様である。この場合、後述する外部端子62のストレスが配線58に直接かかるので、配線58の厚さは5～20μm程度とすることが好ましい。金属膜66は、後述する工程でエッチングされて配線58及び導電箔60を形成するものである。

【0084】次に、図7(C)に示すように、金属膜66における導電箔60となる部分に、穴60aを形成し、この穴60aを介して、中間層56をエッチング液又はエッチングガス(エッチャント)にさらす。例えば、中間層56をポリイミド等の樹脂で形成した場合、エッチャントとしては、KOH等の強アルカリ水溶液や、O<sub>2</sub>又はCF<sub>4</sub>等のドライエッチングガスが好ましく、中間層56を酸化マグネシウム(MgO)等で形成した場合には、熱リン酸水溶液等が好ましい。その後、必要に応じて、エッチャントを除去する。特に、ウェットプロセスの場合は、水洗、リンス工程を加えることが



(9)

15

好ましい。こうして、図7 (D) に示すように、中間層56がエッチングされて凹部56aが形成される。

【0085】続いて、図8 (A) に示すように、金属膜66をパターンニングして、配線58及び導電箔60を形成する。そして、図8 (B) に示すようにソルダレジスト層64を形成して、図8 (C) に示すように外部電極62を形成する。ソルダレジストとしては、感光性のポリイミド樹脂やエポキシ樹脂ドライフィルム等が用いられることが多い。外部電極62の形成方法は、第1実施形態と同様である。こうして、半導体装置50が得られる。本実施形態においても、第1実施形態と同様の効果を達成することができる。

【0086】さらに、本実施形態によって製造された半導体装置50は、導電箔60に穴60aが形成されているので、導電箔60が変形しやすくなっている。したがって、凹部56a上で浮いた状態となった導電箔60によるストレスの吸収効果が一層高められている。

【0087】(第5実施形態) 図9 (A) ~ 図9 (C) は、第5実施形態に係る半導体装置の製造方法を示す図である。

【0088】本実施形態では、図9 (A) に示すように、電極74を有する半導体チップ72に中間層76を形成する。中間層76上には導電箔80を形成し、導電箔80から電極74に至るように配線78を形成する。配線78及び導電箔80上には、ソルダレジスト層84を形成する。また、導電箔80には、穴80aを形成する。

【0089】なお、中間層76の形成方法は図7 (A) に示す方法と同じであり、配線78及び穴80a並びに導電箔80の形成方法は図7 (B) ~ 図8 (A) に示す方法と同じである。また、ソルダレジスト層84は、外部電極82 (図9 (B) 参照) を避ける領域に形成される。

【0090】そして、導電箔80上に外部電極82を形成し、これに伴って生じる残渣を除去してから、外部電極82及びソルダレジスト層84上に、被覆層86を形成する (図9 (B) 参照)。被覆層86は、中間層76のエッチング条件下では、エッチングされにくい材料から形成される。

【0091】続いて、導電箔80の穴80aを介して、図7 (D) の工程と同様にして、中間層76に凹部76aを形成し、被覆層86を除去して、図9 (C) に示す半導体装置70が得られる。

【0092】本実施形態によれば、外部電極82を形成するときに生じる残渣を除去してから、中間層76に凹部76aを形成するので、凹部76aに残渣が残らない。また、本実施形態により製造された半導体装置70の特徴は、第4実施形態と同様である。

【0093】(第6実施形態) 図10 (A) ~ 図10 (C) は、第6実施形態に係る半導体装置の製造方法を

16

示す図である。

【0094】本実施形態では、図10 (A) に示すように、電極104を避けて能動面102a上にパシベーション膜106が形成された半導体チップ102が使用される。パシベーション膜106は、図10 (C) に示す中間層108と共通する性質を有する材料で形成される。すなわち、パシベーション膜106は、中間層108のエッチング条件下で、エッチングされる材料で形成されている。例えば、中間層108及びパシベーション膜106をいずれもポリイミド樹脂で形成した場合が該当する。

【0095】このような場合、図10 (B) に示すように、パシベーション膜106上において、少なくとも凹部108a (図10 (C) 参照) の下の位置に、被覆層118を形成する。被覆層118は、中間層108及びパシベーション膜106のエッチング条件下ではエッチングされない材料で形成されている。例えば、中間層108及びパシベーション膜106がポリイミド樹脂から形成される場合には、被覆層118を、Cr、Ti、W、Ti等の金属薄膜とすればよい。

【0096】その後、図7 (A) ~ 図8 (C) に示すのと同様の工程により、図10 (C) に示すように、凹部108aを有する中間層108、配線110、穴112aを有する導電箔112、外部電極114及びソルダレジスト層116を形成する。

【0097】本実施形態によれば、被覆層118によってパシベーション膜106が覆われているので、中間層108をエッチングして凹部108aを形成するとき、パシベーション膜106までもエッチングされることを防止できる。こうして、凹部108a内に能動素子が露出することを防止できる。応力緩和機能に関する特徴は、上述した実施形態と同様である。

【0098】(第7実施形態) 図11 (A) 及び図11 (B) は、第7実施形態に係る半導体装置の一部を示す図である。なお、図11 (B) は、図11 (A) のB-B線断面図である。本実施形態に係る半導体装置120は、図1に示す半導体装置10における基板20及び導電箔22に、穴122、124が形成されたものである。

【0099】本実施形態によれば、穴122、124が形成されたことで、基板20及び導電箔22が変形しやすくなり、応力緩和機能が高められている。

【0100】(第8実施形態) 図12は、第8実施形態に係る半導体装置を示す図である。同図に示す半導体装置130は、半導体チップ132の能動面132a上に、電極134から配線136が形成されている。配線136の上には中間層138が形成されている。そして、中間層138には、配線136上の位置で配線136が露出するように、凹部138aが形成されている。中間層138の上には、接着剤142を介して、基板1

(10)

17

46が設けられている。この基板146には、凹部138aの上方の位置で、かつ、この凹部138aに対向する面に、導電箔144が形成されている。また、基板146には、凹部138aの上方において、貫通穴146aが形成されており、導電箔144が反対側の面から露出するようになっている。そして、貫通穴146aを介して、外部電極148が形成されている。

【0101】さらに、凹部138aには、導電ペースト140が充填されている。導電ペースト140は、図4に示す凹部16aに充填された樹脂32と同様に柔らかい樹脂に、銀(Ag)、銅(Cu)、銀メッキ銅又は金(Au)などの導電フィラーが添加されたものである。この導電ペースト140によって、配線136と導電箔144とが電氣的に接続される。

【0102】本実施形態においても、中間層138に凹部138aが形成されていることで、応力緩和機能を果たすことができる。

【0103】(第9実施形態)図13(A)～図14(B)は、第9実施形態に係る半導体装置の製造方法を示す図である。本実施形態では、図10(A)に示す半導体チップ102と同様に、パシベーション膜(図示せず)が能動面152aに形成された半導体チップ152が使用される。このパシベーション膜は、中間層158のエッチング条件下で、エッチングされる材料から形成される。

【0104】図13(A)に示すように、能動面152aにおけるパシベーション膜上に被覆層156を形成する。被覆層156は、中間層158のエッチング条件下ではエッチングされない材料(例えば、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)など)から形成される。被覆層156は、例えばスパッタリングにより形成される。

【0105】次に、図13(B)に示すように、被覆層156上を含み電極154を避けて、中間層158を形成する。中間層158の材料は、第1実施形態と同様である。

【0106】そして、図13(C)に示すように、電極154から中間層158にかけて配線160を形成し、配線160に電氣的に接続するように導電箔162を形成する。具体的には、スパッタリングにて、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)、あるいはこれらのうち複数が積層された金属膜を形成し、これをエッチングによりパターン化して、配線160及び導電箔162を一体的に形成する。また、導電箔162には、穴162aを形成する。

【0107】続いて、図13(D)に示すように、導電箔162の上に外部電極164を形成する。具体的には、導電箔162上に、電解メッキ又は無電解メッキによって、銅(Cu)、ニッケル(Ni)又は金(A

18

u)、あるいはこれらのうち複数が積層されたバンプを形成して、外部電極164を形成する。

【0108】そして、図14(A)に示すように、配線160上にソルダレジスト層166を形成し、ソルダレジスト層166上に被覆層168を形成する。被覆層168も、中間層158のエッチング条件下ではエッチングされない材料(例えば、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)など)から形成される。

【0109】そして、図14(B)に示すように、中間層158に凹部158aを形成する。その工程は、図7(D)に示す工程と同様である。また、被覆層168をエッチングによって除去する。この例では、外部電極164の中央部に開口があるが、第7実施形態のような開口設計でもよい。

【0110】以上の工程によって、半導体装置150を得ることができる。この半導体装置150も、中間層158に凹部158aが形成されていることで、応力緩和機能を果たす。

【0111】なお、図14(B)に示す半導体装置150のバンプ状の外部電極164の代わりに、図15に示すように、導電箔162における穴162aを形成する端部上に、ハンダボールからなる外部電極170を形成してもよい。

【0112】なお、本発明は、CSP型の半導体装置に限定されるものではない。例えば、半導体チップの電極上に直接変形部を積層すれば、フリップチップと同等のサイズでありながら、応力緩和機能も有する半導体装置が得られる。

【0113】図16には、上述した実施形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅からなる配線パターンが所望の回路となるように形成されるとともに、この回路基板1000にハンダボールが設けられている。そして、配線パターンのハンダボールと半導体装置1100の外部電極とを機械的に接続することでこれらの電氣的導通が図られる。

【0114】この場合、半導体装置1100には外部との熱膨張差により生じる歪みを吸収する構造が設けられているため、本半導体装置1100を回路基板1000に実装しても接続時及びそれ以降の信頼性を向上できる。

【0115】なお、実装面積もベアチップにて実装した面積にまで小さくすることができる。このため、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

(11)

19

【0116】そして、この回路基板1000を備える電子機器として、図17には、ノート型パーソナルコンピュータ1200が示されている。

【0117】なお、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を応用することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

【図面の簡単な説明】

【図1】図1は、第1実施形態に係る半導体装置を示す断面図である。

【図2】図2は、第1実施形態に係る半導体装置を示す平面図である。

【図3】図3(A)～図3(E)は、第1実施形態に係る半導体装置の製造方法を示す図である。

【図4】図4は、第2実施形態に係る半導体装置を示す図である。

【図5】図5は、第3実施形態に係る半導体装置を示す図である。

【図6】図6は、第4実施形態に係る半導体装置を示す図である。

【図7】図7(A)～図7(D)は、第4実施形態に係る半導体装置の製造方法を説明する図である。

【図8】図8(A)～図8(C)は、第4実施形態に係る半導体装置の製造方法を説明する図である。

【図9】図9(A)～図9(C)は、第5実施形態に係る半導体装置の製造方法を示す図である。

【図10】図10(A)～図10(C)は、第6実施形

20

態に係る半導体装置の製造方法を示す図である。

【図11】図11(A)及び図11(B)は、第7実施形態に係る半導体装置を示す図である。

【図12】図12は、第8実施形態に係る半導体装置を示す図である。

【図13】図13(A)～図13(D)は、第9実施形態に係る半導体装置の製造方法を示す図である。

【図14】図14(A)及び図14(B)は、第9実施形態に係る半導体装置の製造方法を示す図である。

【図15】図15は、第9実施形態の変形例を示す図である。

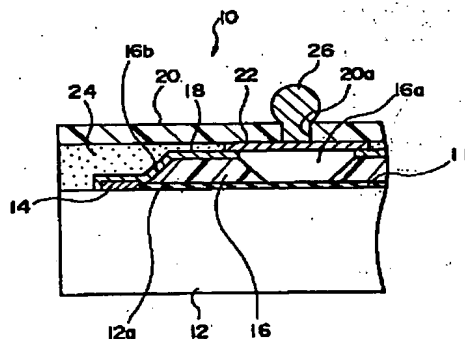
【図16】図16は、本実施形態に係る半導体装置が実装された回路基板を示す図である。

【図17】図17は、本実施形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

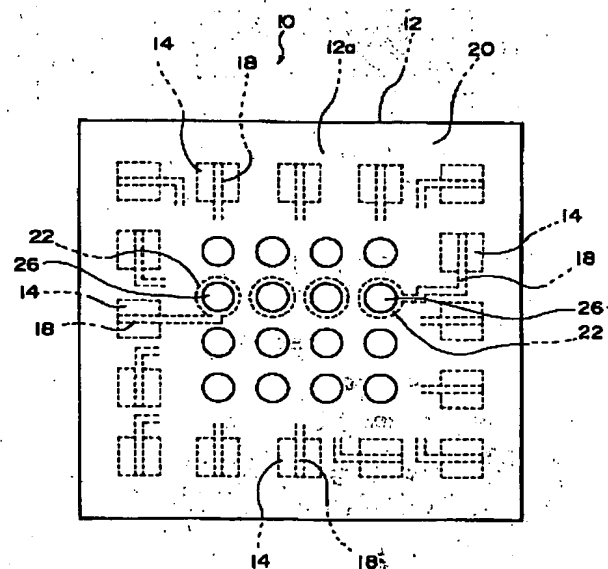
【符号の説明】

- 10 半導体装置
- 11 パッシベーション膜
- 12 半導体チップ
- 12a 能動面
- 14 電極
- 16 中間層
- 16a 凹部
- 18 配線
- 20 基板
- 20a 貫通穴
- 22 導電箔
- 26 外部電極

【図1】

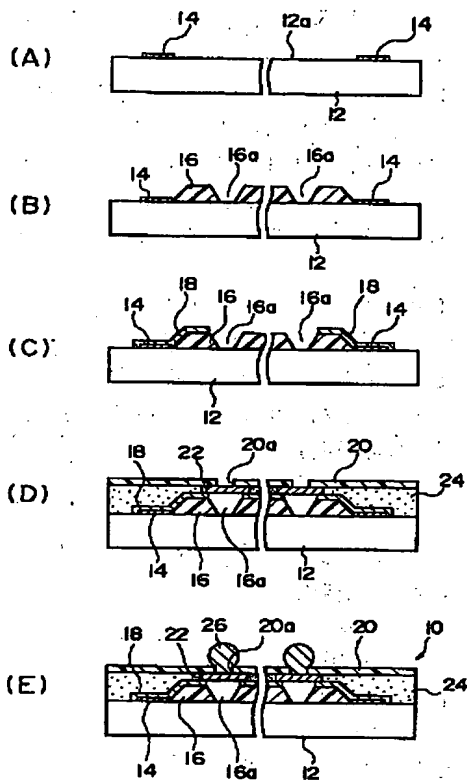


【図2】

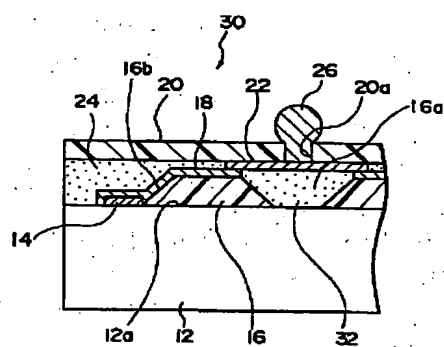


(12)

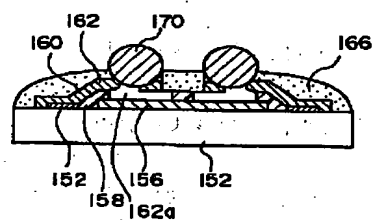
【図3】



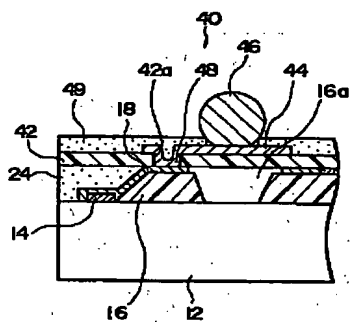
【図4】



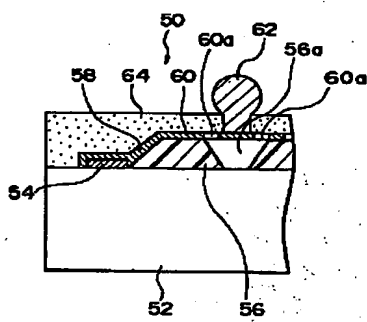
【図15】



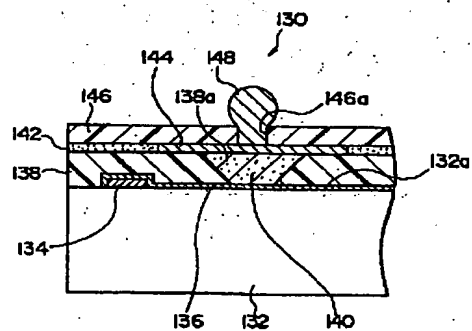
【図5】



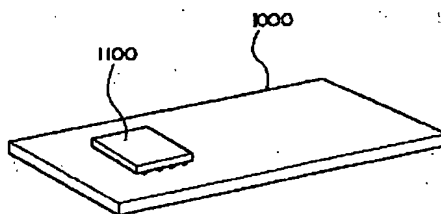
【図6】



【図12】

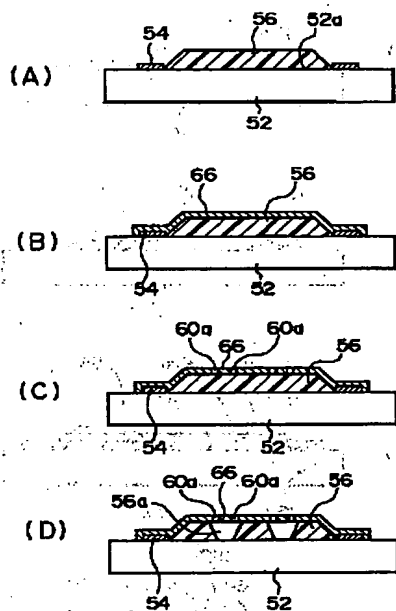


【図16】

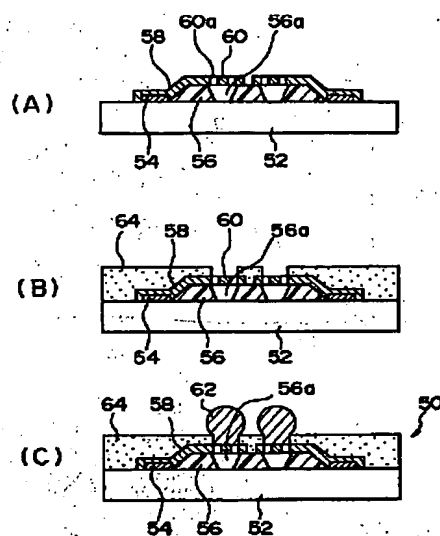


(13)

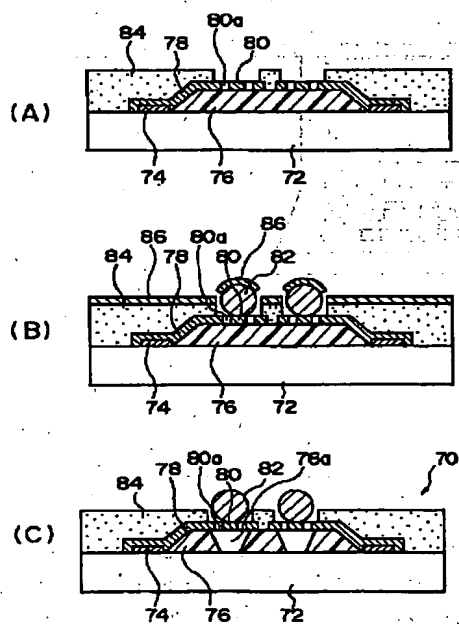
【図7】



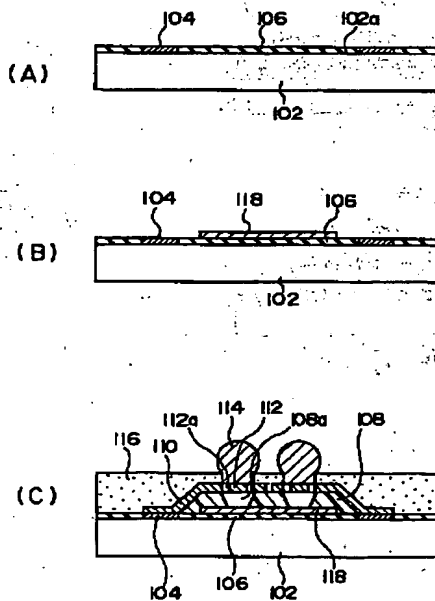
【図8】



【図9】

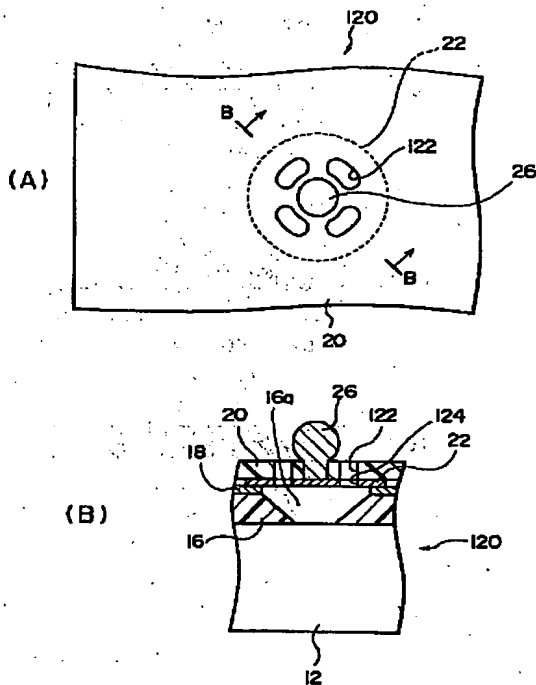


【図10】

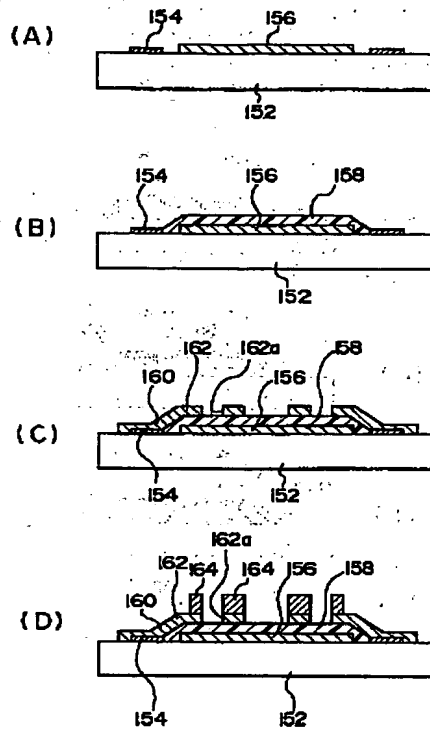


(14)

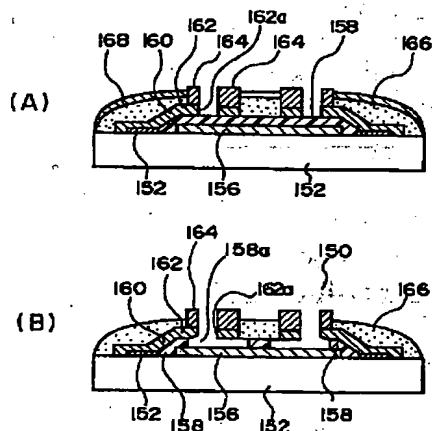
【図11】



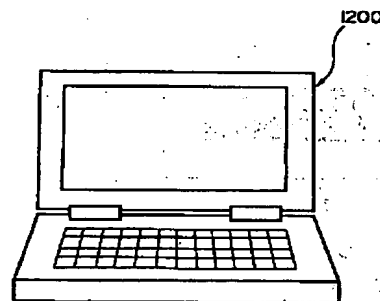
【図13】



【図14】



【図17】



## 【手続補正書】

【提出日】平成11年9月1日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電極を有する半導体素子と、

それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、  
 前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、  
 前記導電箔上に形成される外部電極と、  
 前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、

(15)

前記電極と前記導電箔とを電氣的に接続する配線と、を有し、

前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜と前記導電箔との間に開口領域となる凹部が形成されている半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記凹部内には、前記中間層よりもヤング率が低い樹脂が充填されている半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電氣的に接続する半導体装置。

【請求項4】 請求項1又は請求項2記載の半導体装置において、前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、前記配線は、前記傾斜面を通過して前記電極と前記導電箔とを電氣的に接続する半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、前記中間層は、柔軟性を有する材料から形成される半導体装置。

【請求項6】 請求項1から請求項5のいずれかに記載の半導体装置において、前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有する半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、前記基板は、前記凹部の上方に貫通穴を有し、前記貫通穴を介して前記導電箔に前記外部電極が形成される半導体装置。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体装置において、前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、前記基板は、前記凹部の上方を除く領域に貫通穴を有し、前記貫通穴を介して前記配線と前記導電箔とが電氣的に接続される半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、前記導電箔と前記配線とは、一体的に形成されている半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、

前記導電箔と前記配線とは、別体である半導体装置。

【請求項11】 電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼむ凹部を形成する工程と、前記電極と前記導電箔とを電氣的に接続する配線を形成する工程と、前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、を含む半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、貫通穴を有し、かつ、前記貫通穴上を含めて前記導電箔が貼り付けられた基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、その後、前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて、前記基板を前記中間層に載せ、前記貫通穴を介して前記導電箔に前記外部電極を形成する半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電氣的に接続する半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成される半導体装置の製造方法。

【請求項16】 請求項11記載の半導体装置の製造方

(16)

法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項17】 請求項11記載の半導体装置の製造方法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、

前記第1の被覆層上に前記中間層を形成し、

前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、

前記配線の上にソルダレジスト層を形成し、

前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、

前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングする半導体装置の製造方法。

【請求項18】 請求項14から請求項17のいずれかに記載の半導体装置の製造方法において、

前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる

電極被覆層を形成する工程を含む半導体装置の製造方法。

【請求項19】 請求項11から請求項18のいずれかに記載の半導体装置の製造方法において、前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含む半導体装置の製造方法。

【請求項20】 請求項1から請求項10のいずれかに記載の半導体装置が実装された回路基板。

【請求項21】 請求項20記載の回路基板を有する電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】(1)本発明に係る半導体装置は、電極を有する半導体素子と、それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、前記導電箔上に形成される外部電極と、前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、前記電極と前記導電箔とを電気的に接続する配線と、を有し、前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜と前記導電箔側との間に開口領域となる凹部が形成されている。



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**